

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297097

(43)Date of publication of application : 29.10.1999

(51)Int.CI.

G11C 29/00
G01R 31/28
G11C 11/407
G11C 11/401

(21)Application number : 10-091263

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.04.1998

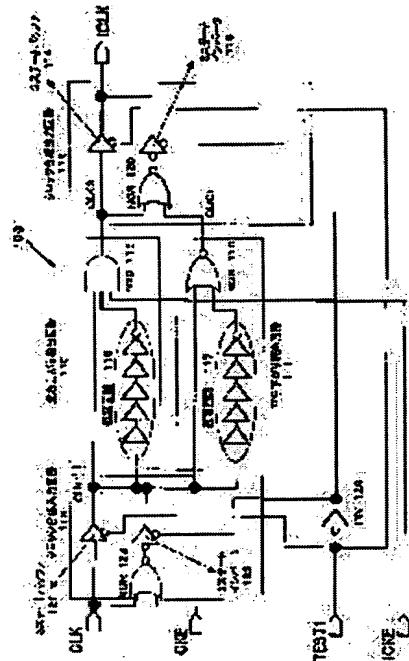
(72)Inventor : KII NAOTO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the inspection time in a low speed tester with a low operating frequency.

SOLUTION: An internal clock generator circuit 100 of the semiconductor memory has a rise detector circuit 110 constituted such that an external clock signal CLK, a signal obtd. by delaying and inverting the external clock signal CLK in a delay circuit 116 and test mode signal TEST1 are inputted to a 3-input AND circuit 118, and a fall detector circuit 111 constituted such that the external clock signal CLK and a signal obtd. by delaying and inverting the external clock signal CLK in a delay circuit 117 are inputted to a 2-input NOR circuit 119, and a clock combiner output circuit 112 comprising a 2-input NOR circuit 120 to which the output CLK2 of the rise detector circuit 110 and output CLK3 of the fall detector circuit 111 are inputted generates an internal clock at a frequency twice the external clock signal CLK frequency.



LEGAL STATUS

[Date of request for examination] 10.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

일본공개특허공보 평11-297097호(1999.10.29) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297097

(13) 公開日 平成11年(1999)10月29日

(51) Int CL' G 11 C 29/00 G 01 R 31/28 G 11 C 11/407 11/401

横河記号
671

P.I
G 11 C 29/00 671Z
G 01 R 31/28 B
V
G 11 C 11/34 8828
371A

審査請求 未請求 請求項の数 7 O.L (全 18 頁)

(21) 出願番号 特願平10-91283

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(22) 出願日 平成10年(1998)4月3日

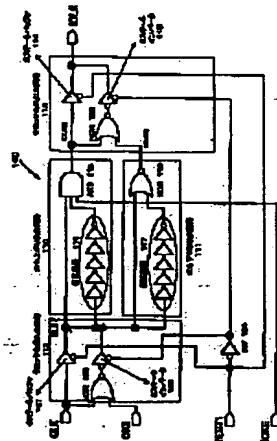
(72) 発明者 紀伊 達人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 宮井 咲夫

(54) 【発明の名称】 半導体起電装置

【課題】 動作周波数の遅い低速の試験装置における検査時間を短縮する。

【解決手段】 外部クロック信号 CLKと外部クロック信号 CLKを遅延回路116で遅延させ反転させた信号とテストモード信号TEST1を3入力AND回路118に入力する構成によって立ち上がり検出回路110を構成し、外部クロック信号 CLKと外部クロック信号 CLKを遅延回路117で遅延させ反転させた信号を2入力NOR回路119に入力する構成によって立ち下がり検出回路111を構成する。そして、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3を入力する2入力NOR回路120で構成されるクロック合成出力回路112によって外部クロック信号 CLKの2倍の周波数の内部クロックを発生する。



[첨부그림 2]

【特許請求の範囲】

【請求項 1】 外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であって、

テストモード時に、前記外部クロック信号の立ち上がり、ヒミ下がりとともに同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための前記外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を設けたことを特徴とする半導体記憶装置。

【請求項 2】 内部クロック発生手段が、外部クロック信号の立ち上がりを検出し、検出時にワンショットパルスを出力する立ち上がり検出手段と、前記外部クロック信号の立ち下がりを検出し、検出時にワンショットパルスを出力する立ち下がり検出手段と、前記立ち上がり検出手段および前記立ち下がり検出手段の出力を合算するクロック合成出力手段とで構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項 3】 立ち上がり検出手段が、外部クロック信号を遅延および反転する第1の遅延回路と、前記外部クロック信号と前記外部クロック信号を前記第1の遅延回路で遅延させ反転させた信号とを入力とするAND回路とで構成され、立ち下がり検出手段が、前記外部クロック信号を遅延および反転する第2の遅延回路と、前記外部クロック信号と前記外部クロック信号を前記第2の遅延回路で遅延させ反転させた信号とを入力とするNOR回路で構成され、クロック合成出力手段が、前記AND回路の出力と前記NOR回路の出力を入力とするOR回路で構成されていることを特徴とする請求項2記載の半導体記憶装置。

【請求項 4】 外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であって、

テストモード時に、前記外部クロック信号以外の外部入力信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための前記外部クロック信号よりも高速の内部クロックを発生する内部クロック発生手段を設けたことを特徴とする半導体記憶装置。

【請求項 5】 テストモード時に、外部クロック信号以外の外部入力信号とともに前記外部クロック信号に同期して、内部クロックを発生するように内部クロック発生手段を構成したことを特徴とする請求項4記載の半導体記憶装置。

【請求項 6】 内部クロック発生手段が、外部クロック信号と前記外部クロック信号以外の外部入力信号とを含成するクロック合成入力手段で構成されていることを特徴とする請求項5記載の半導体記憶装置。

【請求項 7】 クロック合成入力手段が、外部クロック信号と前記外部クロック信号以外の外部入力信号とを入

力とするOR回路で構成されていることを特徴とする請求項5記載の半導体記憶装置。

【0001】

【発明の属する技術分野】 本発明は、シンクロナスDRAM(ダイナミックランダムアクセスメモリ)やランバスマDRAM等のようなクロック同期型の半導体記憶装置に関するもので、特にテスティングを高速で実行可能な構成に関するものである。

【0002】

【従来の技術】 近年、システムの高速化に伴い、メモリにおいても、これまでのファーストページやEDOタイプのDRAMに代わり、さらに高速なクロック同期型メモリ(シンクロナスDRAMやランバスマDRAMなど)の市場からの要求が強くなっている。

【0003】 さらに、メモリ容量についても、現在1.5Mビットから5.4Mビットへ移行しつつあり、1~2年後には2.56Mビットあるいは1Gビットへと急速に進むことが予想されている。そのような背景の中で、テスティングに関する設備についても、テスト性のアップが必要となり、高効率が進んでいる。また、大容量化に伴い検査時間も増大していくなど、課題が表面化している。そこで、いかに現有の設備を活かして設備投資を軽減させ、いかに検査時間の増加を抑えるかが今後のテスティング工程で重要な課題である。

【0004】 以降、従来のクロック同期型の半導体記憶装置の例としてシンクロナスDRAMの構成および動作について説明する。図4は従来のシンクロナスDRAMの構成を示すブロック図である。このシンクロナスDRAMは、図4に示すように、メモリアレイ3と、メモリアレイ3をコントロールするロウ系制御回路1と、同じくカラム系制御回路2と、メモリアレイ3との間でデータの出入力を実行する出力回路4と、CKE(クロックイネーブル)コントロール回路5と、モードレジスタ6と、2入力AND回路7とから構成されている。

【0005】 また、CSは外部入力信号であるチップセレクト信号(もしくはその入力端子)、RASは外部入力信号であるロウアドレスストローブ信号(もしくはその入力端子)、CASは外部入力信号であるカラムアドレスストローブ信号(もしくはその入力端子)、WEは外部入力信号であるライドイネーブル信号(もしくはその入力端子)、DQはデータ入出力(もしくはその入出力端子)である。なお、アドレス信号の入力端子は図示を省略している。

【0006】 上記のロウ系制御回路1、カラム系制御回路2および入出力制御回路4は、2入力AND回路7の出力である内部クロックI.CLKとモードレジスタ6の

[첨부그림 3]

out MODE.1により制御される。内部クロックCLKは、2入力AND回路7とCKEコントロール回路5により生成されて具体的に説明すると、外部クロック信号CLKは2入力AND回路7の一方の入力端とCKEコントロール回路5とに加えられ、クロックイネーブル信号CKEはCKEコントロール回路5に加えられ、CKEコントロール回路5の出力I.CKEが2入力AND回路7の他の入力端に加えられ、2入力AND回路7の出力が内部クロックCLKとなる。

【0007】上記の2入力AND回路7とCKEコントロール回路5は、以下に説明するような製品仕様で要求されるクロックマスク機能を実現するために設計されている。すなわち、2入力AND回路7とCKEコントロール回路5によって、外部クロック信号CLKの立ち上がり時に、クロックイネーブル信号CKEが“H”レベルとなっておれば、次のサイクルの内部クロックI.CLKを発生させる。一方、外部クロック信号CLKの立ち上がり時に、クロックイネーブル信号CKEが“L”レベルとなっておれば、次のサイクルの内部クロックI.CLKを発生させない。

【0008】上記のクロックイネーブル信号CKEは、クロックマスク機能を実現するために用いられる信号であり、外部クロックCLKの立ち上がり時のレベルによって、以下の動作を制御する。すなわち、“L”レベル時は、次サイクルの内部クロックI.CLKを発生させず、“H”レベル時は、次サイクルの内部クロックI.CLKを発生させるように、2入力AND回路7とCKEコントロール回路5の動作を制御する。

【0009】上記のモードレジスタ6は、メモリの動作を決定するためのレジスタであり、このモードレジスタ6の出力MODE.1は、数ビットのバス信号であり、この信号をデコードした結果により、幾つかのメモリの動作モードが切り替わられる。具体的に説明すると、モードレジスタ6の出力バス信号MODE.1のデコード結果により、ロウ系制御回路1は、活性化ブロックの数を切り替え、カラム系制御回路2は、アドレスカウンタのカウント数を切り替え、入出力制御回路4は、1回のCASアクセスで取り込むデータの幅を切り替える。

【0010】図5はCKEコントロール回路5の具体構成を示すブロック図である。このCKEコントロール回路5は、Dフリップフロップ30により構成され、外部クロック信号CLKはDフリップフロップ30のクロック入力端に加えられ、クロックイネーブル信号CKEはDフリップフロップ30のQ出力がCKEコントロール回路5の出力I.CKEとなる。つまり、このCKEコントロール回路5は、クロックイネーブル信号CKEを外部クロック信号CLKによってラッ奇する機能を有する。

【0011】図7に従来例のシンクロナスDRAMの基

本的なタイミングチャートを示す。図7には、チップセレクト信号CS、ロウアドレスストローブ信号RAS、カラムアドレスストローブ信号CAS、ライトイネーブル信号WE、外部クロック信号CLK、クロックイネーブル信号CKE、内部クロックI.CLKおよびデータ入出力DOの各タイミングが示されている。この中で、チップセレクト信号CS、ロウアドレスストローブ信号RAS、カラムアドレスストローブ信号CAS、ライトイネーブル信号WE等の制御信号、およびデータ入出力DOは、外部クロック信号CLKに同期して取り込まれ、あるいは出力される。

【0012】図7の例は、1回のアクセスサイクルを示している。からまでが1回のサイクルである。サイクルで、チップセレクト信号CSおよびロウアドレスストローブRASが“L”レベル時に外部クロック信号CLKの立ち上がりが来ているので、ロウ系制御回路1によるロウ系動作がスタートする。また、サイクルでチップセレクト信号CS、カラムアドレスストローブ信号CASおよびライトイネーブル信号WEが“L”レベル時に外部クロック信号CLKの立ち上がりが来ているので、カラム系制御回路2によるカラム系動作がスタートし、同時にそのサイクルで取り込んだデータWDを入出力制御回路4によってメモリアレイ3の内部に取り込む。その後、サイクルで、チップセレクト信号CS、ロウアドレスストローブ信号RASおよびライトイネーブル信号WEが“L”レベル時に外部クロック信号CLKの立ち上がりが来ているので、ロウ系動作エンド信号が発生し、1サイクル後のサイクル目で、ロウ系制御回路1によるロウ系動作が完了する。

【0013】なお、カラム系動作の完了時点は、シンクロナスDRAMの動作によって異なる。このシンクロナスDRAMには、一つのCASアドレス入力に対して、バースト長1, 2, 4, 8, Full (カラムアドレスの最大値)ワード分のデータをクロックに同期して取り込む動作モードがあり、この動作モードをモードレジスタ6により、電動的にプログラムすることが可能である。例えばライト時は、このバースト長のサイクルでカラム系の動作が完了する。なお、従来の汎用DRAMはバースト長が1のみである。

【0014】ここで、外部クロック信号CLKのレート(周期)を r (ns)、1ビットデータをアクセスするためのサイクル数を t_{RC} とすると、1ビットデータをアクセスするのに必要な時間 t_1 は、 $t_1 = t_{RC} \times r$ (ns)

となる。したがって、nビットのデータをアクセスするための時間 t_n は、 $t_n = n \times t_1 = n \times t_{RC} \times r$ (ns)

となる。よって、外部クロック信号CLKのレート r (ns)が、速くなるほどデータのアクセス時間が増加してしまう。

[参考図 4]

【0015】検査装置のレートは、外部クロック信号のレート $r'(n\mu)$ と同等であるので、低速検査装置における検査時間は非常に長くなってしまい、生産能力の低下をきたし、コスト増にもつながってしまう。上記の検査装置のレートとは、メモリに印加する信号の発生において、例えばクロック信号の1周期のことを意味する。メモリの検査は、このクロック信号に同期して、アドレスや入力信号、データを取り込み、メモリ内部へのデータの書き込みやメモリ内部からのデータの読み出しが行われ、この読み出したデータと、検査装置内で発生した期待値を比較することにより、バス/フェイブル判定を行う。よって、検査装置のレート（クロック信号の周期）が遅くなるほど、データの書き込みや読み出しも遅くなる。

【0016】

【発明が解決しようとする課題】半導体製品においては、製品の特性の良否を判定するためにウエハの状態やパッケージングした後に検査を実施するが、上記従来の構成では、検査装置のレートが検査時間に大きく依存してしまうため、レートが低速な検査装置においては、検査時間が増大し生産能力の低下をきたしてしまう。そのため、生産能力を維持するためには、高価な高速検査装置等の設備投資が必要となる。

【0017】なお、検査装置では、メモリに印加する信号、例えばクロック信号（パルス信号）において、1クロック（1パルス）を発生する期間をレートと呼んでおり、このレートが検査装置によって異なる。現在最も速いもので250MHzレートであり、遅いものでは1MHz程度のものまで存在する。メモリに1ビットのデータを書いたり、読んだりするのは、上記の例えば1レート内で実施される。よって、1Mビットのメモリにデータを書く場合、250MHzレート ($4\mu s$) の高速の検査装置と1MHzレート ($1\mu s$) の低速の検査装置のそれぞれでのトータル書き込み時間は

高速： $1\text{Mビット} \times 4\mu s = 4ms$

低速： $1\text{Mビット} \times 1\mu s = 1s$

となり、この場合、250倍の検査時間の差が発生する。

【0018】本発明の目的は、低速な検査装置においても従来よりも検査時間の増加を抑えることを可能とするクロック同期型の半導体記憶装置を提供することである。

【0019】

【課題を解決するための手段】上記課題を解決するため、本発明の半導体記憶装置は、テストモード時における制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込みを、外部クロック信号の片方のエッジ（例えば、立ち上がりエッジ）に同期して行うのではなく、外部クロック信号の両方のエッジ（立ち上がりエッジおよび立ち下がりエッジ）に同期して行うための外

部クロック信号より高速の内部クロック、あるいは外部クロック信号以外の他の外部入力信号を利用し、その立ち上がりエッジもしくは立ち下がりエッジまたはそれらの両方に同期して行うための外部クロック信号より高速の内部クロック、あるいは、外部クロック信号の片方または両方のエッジと外部クロック信号以外の他の外部入力信号の片方または両方のエッジに同期して行うための外部クロック信号より高速の内部クロックを発生する内部クロック発生回路を設け、テストモード時には、内部クロック発生回路から出力される外部クロック信号より高速の内部クロックを用いてメモリアクセスを行うようとしたものである。

【0020】この構成によって、低速な検査装置においても、従来よりも検査時間の大幅な短縮を図ることが可能となる。つまり、通常のアクセス時に用いる外部クロックの周波数よりも低い周波数しか発生できない低速な検査装置であっても、半導体記憶装置の内部で高い周波数を発生する（通常のアクセス時に用いる外部クロックの周波数までの）ことにより、通常のアクセス時と同様な動作を可能とするということである。

【0021】ここで、外部クロック信号より高速の内部クロックを用いてメモリアクセスを行うことによって、低速な検査装置であっても、従来よりも検査時間の大幅な短縮を図ることができる点について説明する。クロック同期式のメモリにおいて、1回のメモリへのアクセスは、内部クロックの n 倍 (n は製品によって異なるが、7～10程度) のサイクルで実施される。よって、内部クロックの1周期の時間が、1回のメモリへのアクセス時間に比例する。そのため、外部クロックの周期（検査装置のクロック発生周期（レート）で、実力が決まる）に対して、内部クロックの周期を短く（周波数を上げる）ことによって、1回のメモリへのアクセス時間も短くすることができる。

【0022】

【発明の実施の形態】本発明の半導体記憶装置は、外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であり、テストモード時に、外部クロック信号の立ち上がりと立ち下がりとに同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を設けている。

【0023】この場合、内部クロック発生手段は、例えば、外部クロック信号の立ち上がりを感知し、検出時にワンショットパルスを出力する立ち上がり検出手段と、外部クロック信号の立ち下がりを感知し、検出時にワンショットパルスを出力する立ち下がり検出手段と、立ち上がり検出手段および立ち下がり検出手段の出力を合成するクロック合成出力手段とで構成される。

【0024】また、上記の立ち上がり検出手段は、例え

[첨부그림 5]

は外部クロック信号を遅延させる第1の遅延回路と、外部クロック信号と外部クロック信号を第1の遅延回路で遅延させ反転させた信号とを入力とするAND回路で構成される。また、立ち下がり検出手段は、例えば外部クロック信号と外部クロック信号を第2の遅延回路で遅延させ反転させた信号とを入力とするNOR回路で構成される。また、クロック合成功手段は、例えばAND回路の出力とNOR回路の出力を入力とするOR回路で構成される。なお、第1および第2の遅延回路は共通化してもよい。

【0025】この構成によると、テストモード時には、外部クロック信号より高速の内部クロックで制御信号、アドレス信号およびデータ信号を含む外部入力信号の取り込みを行うことが可能であるため、低速な検査装置においても、従来よりも検査時間の大半を短縮することが可能である。本発明の他の半導体記憶装置は、外部クロック信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込む半導体記憶装置であり、テストモード時に、外部クロック信号以外の外部入力信号に同期して、制御信号、アドレス信号およびデータ信号を含む外部入力信号を取り込むための外部クロック信号より高速の内部クロックを発生する内部クロック発生手段を抜けている。

【0026】この場合、内部クロック発生手段は、テストモード時に、外部クロック信号以外の外部入力信号とともに外部クロック信号に同期して、外部クロック信号より高速の内部クロックを発生するように構成してもよい。また、内部クロック発生手段は、例えば外部クロック信号と外部クロック信号以外の外部入力信号とを合成するクロック合成功手段で構成される。また、クロック合成功手段は、例えば外部クロック信号と外部クロック信号以外の外部入力信号とを入力とするOR回路で構成される。

【0027】この構成によると、テストモード時には、外部クロック信号より高速の内部クロックで制御信号、アドレス信号およびデータ信号を含む外部入力信号の取り込みを行うことが可能であるため、低速な検査装置においても、従来よりも検査時間の大半を短縮することが可能である。以下、本発明の実施の形態について、図面を参照しながら説明する。

【0028】図1は本発明の実施の形態のクロック同期型の半導体記憶装置の例としてのシンクロナスDRAMの構成を示すブロック図である。このシンクロナスDRAMは、図1に示すように、メモリアレイ103と、メモリアレイ103をコントロールするロウ系制御回路101と、同じくカラム系制御回路102と、メモリアレイ103との間でデータの入出力をを行う入出力制御回路104と、外部クロック信号CLKと外部クロック信号CLK以外の外部入力信号であるクロックイネーブル信号CKEを基にしてテストモード時に外部クロック信号CLKより高速の内部クロックCLKを出力する内部クロック発生回路100と、CKE（クロックイネーブル）コントロール回路106と、モードレジスタ105とから構成されている。

【0029】また、CSは外部入力信号であるチップセレクト信号（もしくはその入力端子）、RASは外部入力信号であるロウアドレステンドローブ信号（もしくはその入力端子）、CLKは外部入力信号である外部クロック信号（もしくはその入力端子）、CKEは外部入力信号であるクロックイネーブル信号（もしくはその入力端子）、CASは外部入力信号であるカラムアドレステンドローブ信号（もしくはその入力端子）、WEは外部入力信号であるライトイネーブル信号（もしくはその入力端子）、DQはデータ入出力（もしくはその入出力端子）である。なお、アドレス信号の入力端子は図示を省略している。

【0030】上記のロウ系制御回路101、カラム系制御回路102および入出力制御回路4は、内部クロック発生回路100の出力である内部クロックCLKとモードレジスタ105の出力MODE1とにより制御される。内部クロックCLKは、内部クロック発生回路100とCKEコントロール回路106とモードレジスタ105により生成される。具体的に説明すると、外部クロック信号CLKは内部クロック発生回路100とCKEコントロール回路106とに加えられ、クロックイネーブル信号CKEはCKEコントロール回路106に加えられ、モードレジスタ105から出力されるテストモード信号TEST1はCKEコントロール回路106と内部クロック発生回路100とに加えられ、CKEコントロール回路106の出力CKEが内部クロック発生回路100に加えられ、内部クロック発生回路100の出力が内部クロックCLKとなる。

【0031】この場合、モードレジスタ105から出力されるテストモード信号TEST1が“L”レベルのときは、外部クロック信号CLKの立ち上がりと同時に内部クロックCLKが内部クロック発生回路100から発生する。ただし、CKEコントロール回路106が外部クロック信号CLKによってクロックイネーブル信号CKEをラッ奇し、その出力CKEを内部クロック発生回路100を供給するので、クロックイネーブル信号CKEが抜けたときには、内部クロックCLKも抜けることになる。

【0032】また、テストモード信号TEST1が“H”レベルのときは、外部クロック信号CLKとクロックイネーブル信号CKEの立ち上がりおよび立ち下がりに同期した内部クロックCLK（外部クロック信号CLKの4倍の周波数）が内部クロック発生回路100から発生する。このとき、CKEコントロール回路106に“H”レベルのテストモード信号TEST1が加え

[첨부그림 6]

られているので、クロックイネーブル信号 CKE の状態にかかわらず、CKE コントロール回路 106 の出力 CKE が “H” レベルの状態を維持し、内部クロック CLK が設けることはない。

【0.0.3.3】 図2は、図1に示した内部クロック発生回路 100 の具体構成を示すブロック図である。内部クロ

ック発生回路 100 は、クロック合成入力回路 113 と立ち上がり検出回路 110 と立ち下がり検出回路 111 とクロック合成出力回路 112 とから構成される。図2 の回路においては、外部クロック信号 CLK が 3 ステートバッファ 1.2.1 の入力端および 2 入力 NOR 回路 1.2.3 の一方の入力端に加えられ、クロックイネーブル信号 CKE が 2 入力 NOR 回路 1.2.3 の他方の入力端に加えられる。また、2 入力 NOR 回路 1.2.3 の出力が 3 ステートインバータ 1.2.2 の入力端に加えられ、3 ステートインバータ 1.2.2 の出力端と 3 ステートバッファ 1.2.1 の出力端とが共通接続される。

【0.0.3.4】 3 ステートインバータ 1.2.2 の出力端と 3 ステートバッファ 1.2.1 の出力端とが共通されたノードに現れる信号、つまりクロック合成入力回路 113 の出力信号を CLK1 とすると、この信号 CLK1 は、3 入力 AND 回路 1.1.8 の第 1 入力端と遅延回路 1.1.6.1.17 の入力端と 2 入力 NOR 回路 1.1.9 の一方の入力端とに加えられる。また、遅延回路 1.1.6 の出力が 3 入力 AND 回路 1.1.8 の第 2 入力端に加えられ、遅延回路 1.1.7 の出力が 2 入力 NOR 回路 1.1.9 の他方の入力端に加えられる。

【0.0.3.5】 3 入力 AND 回路 1.1.8 の出力 CLK2 が 3 ステートバッファ 1.1.4 の入力端と 2 入力 NOR 回路 1.2.0 の一方の入力端とに加えられ、2 入力 NOR 回路 1.1.9 の出力 CLK3 が 2 入力 NOR 回路 1.2.0 の他方の入力端に加えられ、2 入力 NOR 回路 1.2.0 の出力が 3 ステートインバータ 1.1.5 の入力端に加えられ、3 ステートインバータ 1.1.5 の出力端と 3 ステートバッファ 1.1.4 の出力端とが共通接続される。

【0.0.3.6】 3 ステートインバータ 1.1.5 の出力端と 3 ステートバッファ 1.1.4 の出力端とが共通接続されたノードに現れる信号、つまりクロック合成入力回路 1.1.2 の出力信号を内部クロック CLK とする。また、CKE コントロール回路 106 の出力信号 I_CKE は、3 入力 AND 回路 1.1.8 の第 2 入力端に加えられる。

【0.0.3.7】 また、モードレジスタ 105 の出力信号であるテストモード信号 TEST 1 は、3 ステートバッファ 1.2.1, 1.1.4 のコントロールゲートとインバータ 1.2.4 の入力端に加えられ、インバータ 1.2.4 の出力が 3 ステートインバータ 1.2.3, 1.1.5 のコントロールゲートに加えられる。ここで、上記のクロック発生回路 100 の動作について説明する。テストモード信号 TEST 1 が “L” レベル（テストモードではない通常動作モード）のときは、3 ステートバッファ 1.2.1, 1.1.4 が

イネーブル状態で、3 ステートインバータ 1.2.2, 1.1.5 がハイインピーダンス状態である。

【0.0.3.8】 このときには、外部クロック信号 CLK が 3 ステートバッファ 1.2.1 を通してクロック合成入力回路 1.1.3 の出力信号 CLK1 として出力される。このクロック合成入力回路 1.1.3 の出力信号 CLK1 が立ち上がり検出回路 1.1.0 と立ち下がり検出回路 1.1.1 に入力される。なお、このとき、クロック合成入力回路 1.1.3 では、外部クロック信号 CLK とクロックイネーブル信号 CKE との否定論理積が 2 入力 NOR 回路 1.2.3 でとられることで、外部クロック信号 CLK とクロックイネーブル信号 CKE とが合成されるが、3 ステートインバータ 1.2.2 がハイインピーダンス状態であるため、クロック合成入力回路 1.1.3 から出力されることはない。【0.0.3.9】 立ち上がり検出回路 1.1.0 では、クロック合成入力回路 1.1.3 の出力信号 CLK1 とこの出力信号 CLK1 を遅延回路 1.1.6 で遅延して反転した信号と CKE コントロール回路 1.0.6 の出力信号 I_CKE との論理積が 3 入力 AND 回路 1.1.8 でとられることにより、CKE コントロール回路 1.0.6 の出力信号 I_CKE が “H” レベルであるときに限り、クロック合成入力回路 1.1.3 の出力信号 CLK1 の立ち上がりに同期してワンショットパルスが発生する。また、立ち下がり検出回路 1.1.1 では、クロック合成入力回路 1.1.3 の出力信号 CLK1 とこの出力信号 CLK1 を遅延回路 1.1.7 で遅延して反転した信号との否定論理和がとられることにより、クロック合成入力回路 1.1.3 の出力信号 CLK1 の立ち下がりに同期してワンショットパルスが発生する。

【0.0.4.0】 上記の立ち上がり検出回路 1.1.0 では、3 入力 AND 回路 1.1.8 に、CKE コントロール回路 1.0.6 の出力信号 I_CKE を加えることにより、CKE コントロール回路 1.0.6 の出力信号 I_CKE が “H” レベルであるときに限り、クロック合成入力回路 1.1.3 の出力信号 CLK1 の立ち上がりに同期してワンショットパルスが発生するようにしているが、その理由について以下で説明する。

【0.0.4.1】 これは、製品の仕様において、外部入力信号であるクロックイネーブル信号 CKE のレベルによって、内部クロック CLK を発生させたり、発生させない機能が要求されており、この機能を実現するために上記のような構成をしている。すなち、立ち上がり検出を行なうか、行わないかを決定するために、CKE コントロール回路 1.0.6 の出力信号 I_CKE を 3 入力 AND 回路 1.1.8 に加えて、内部クロック CLK の発生を制御している。したがって、製品の仕様によって、この機能が不要な場合は、CKE コントロール回路 1.0.6 の出力信号 I_CKE を加えずに、常に “H” レベルに固定すればよく、その場合には、2 入力 AND 回路でもよい。

【0.0.4.2】 クロック合成出力回路 1.1.2 では、立ち上がり検出回路 1.1.0 の出力 CLK2 が 3 ステートバッフ

[첨부그림 7]

ア114を通して内部クロック1 CLKとして出力される。なお、このときに、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3との否定論理積が2入力NOR回路120でとられるにより、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3とが合成されるが、3ステートインバータ115がハイインピーダンス状態であるため、クロック合成出力回路112から出力されることはない。

立ち上がり回路110と立ち上がり回路111とに入力される。なお、このとき、9ステートバッファ121がハイインピーダンス状態であるため、外れクロック信号CLKがそのまま出力されることはない。

【0044】立ち上がり検出回路110では、クロック合成功回路113の出力信号CLK1とこの出力信号CLK1を延遲回路116で延滞して反転した信号とCKEコントロール回路106の出力信号CKEとの論理積が3入力AND回路118でとられることにより、CKEコントロール回路106の出力信号CKEが“H”レベルであるときに限り、クロック合成功回路113の出力信号CLK1の立ち上がりに同期してワンショットパルスが発生する。また、立ち上がり検出回路111では、クロック合成功回路113の出力信号CLK1とこの出力信号CLK1を延遲回路117で延滞して反転した信号との否定論理和がとられることにより、クロック合成功回路113の出力信号CLK1と

立上がりに同期してワンショットバルスが発生する。
[0045] クロック合成出力回路112が、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3との否定論理が2入力NOR回路120でとられることにより、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3が合成され、3ステートインバータ115で反転された後、内部クロック1 CLK3として出力され

る。なお、このとき、3ステートバッファ114がハイインピーダンス状態であるため、立ち上がりが検出回路110の出力CLK2が出力されることはない。
【0046】図3は、図1の半導体記憶装置におけるC

KEコントロール回路106の具体構成を示すブロック

図である。このCKEコントロール回路106は、Dフリップフロップ130と2入力OR回路131とで構成され、外部ロック信号CLKがDフリップフロップ130のクロック入力端に加えられ、クロックイネーブル信号CKEがDフリップフロップ130のD入力端に加えられ、Dフリップフロップ130のQ出力が2入力OR回路131の一方の入力端に加えられ、モードレジスタ105から出力されるテストモード信号TEST1が2入力OR回路131の他方の入力端に加えられ、2入力OR回路131の出力がCKEとなる。

【00:47】このCKEコントロール回路106は、テストモード信号TEST1が“L”レベル(G端常動作モード)のときは、従来例のCKEコントロール回路5と同様の動作をし、テストモード信号TEST1が“H”レベル(テストモード)のときは、Dフリップフロップ1-3の出力に係わらず、つまり外部クロック信号CLKおよびクロックイネーブル信号CEの状態に係わらず、出力I-CKEを“H”レベルに保つ機能を有する。

【0048】上記のCKEコントロール回路106は、テストモード時に、Dフリップフロップ130の出力に係わらず、つまり外部クロック信号CLKおよびクロックイネーブル信号の状態に係わらず、出力1 CKEを“H”レベルに保つようにしているが、その理由は、以下のとおりである。すなわち、CKEコントロール回路106の出力1 CKEを“H”レベルに保つことにより、立ち上がり検出回路110を常に活性化状態とし、外部クロックイネーブル信号CKEのレベルに依存なく立ち上がり検出回路110が活性化されるのである。

内部クリップ | と CLR を発生させるためである。

[図49]また、モードレジスタ6とはほぼ同じ構成であり、例えばテストモード信号TEST1を発生および記憶するためのラッチ回路(例えば、フリップフロップ)が追加された点が異なるだけである。図6に本発明の実施の形態の半導体記憶装置における通常動作モード時とテストモード時の各部のタイミングチャートを示す。図6には、テストモード信号TEST1、チップセレクト信号CS、ロー アドレスストローブ信号RAS、カラムアドレスストローブ信号CAS、ライトイネーブル信号WE、外部クロック信号CLK、クロックイネーブル信号CKE、内部クロックイネーブル信号CLK、クロック合成入力回路113の出力CLK1、立ち上がり検出回路110の出力CLK2、立ち下がり検出回路111の出力CLK3、データ出入力DQの各タイミングが示されている。図6の通常動作モードとテストモードは、あくまでも低速の検査装置の出力信号を用いた場合のモードである。

【00.50】テストモードはモードTEST1は、通常動作モードの場合に“L”レベルであり、モードレジスタ1.0.5をテストモードにセットすると、テストモードはモードTEST1のレベルは“H”レベルになる。通常の動作を示しているのが、からのタイミングであり、“CS

[첨부그림 8]

信号、RAS信号、CAS信号、WE信号等の動作タイミングは上記した図7の従来の動作タイミングと基本的には同様である。つまり、図7の従来の動作タイミングの一部を示している。

【0051】なお、のサイクルにおいては、クロックイネーブル信号CKEが“L”レベルの時に外部クロック信号CLKの立ち上がりが来ているので、CKEコントロール回路106の出力CLKは、“L”レベルとなり、次のサイクルでは、内部信号である内部クロックCLKは発生しない。図7の従来例のタイミングでは、クロックイネーブル信号CKEの抜けがないのに、図6の実施の形態では、のタイミングでクロックイネーブル信号CKEが抜けしており、そのタイミングでCLKが脱離しているが、その理由は以下のとおりである。すなわち、従来例の図7のタイミングと、実施の形態の図6の外部入力タイミングが異なるため、内部クロックCLKの脱離無い異なるのである。よって、実施の形態と同じ外部入力のとき、従来においても、内部クロックCLKは、脱離することになる。なお、TEST1信号が“H”レベルのときには、実施の形態のタイミングの入力においても、内部クロックCLKは脱離しない。

【0052】以降のサイクルは、テストモード時の動作タイミングを示す。CKEコントロール回路106において、以降、テストモード信号TEST1は“H”レベルにセットされ、2入力OR回路131の出力である信号CLKは、クロックイネーブル信号CKEの“L”レベルが、外部クロック信号CLKの立ち上がりに来たとしても、“H”レベルのままとなる。

【0053】内部クロック発生回路100においては、テストモード信号TEST1が“H”レベルとなるため、3ステートインバータ115、122がイネーブル状態となり、3ステートバッファ114、121はハイインピーダンス状態となる。よって、内部信号であるクロック合成入力回路113の出力CLK1は、外部クロック信号CLKとクロックイネーブル信号CKEのOR論理をとったものとなる。

【0054】図6では、通常動作モード時とテストモード時とで、CS、RAS、CAS、WE、CKEの各信号のパルス幅、周期等が全く変化しているが、この点について説明する。CS、RAS、CAS、WE、CKE等の入力信号のパルス幅および周期は、検査装置が任意に制御できるものである。外部クロック信号CLKも同様である。ただし、周期については、最高周波数が検査装置によって異なり、低周波の装置ほど安価である。

【0055】上記クロックイネーブル信号CKEと内部クロックCLKとの同期は、以下のようにしてとられる。すなわち、検査装置がクロックイネーブル信号CKEの波形を制御しており、外部クロック信号CLKの立ち上がりリエッジのタイミングに対して、クロックイネーブル信号CKE（その他のRAS、CAS等も同様）がセットアップ・ホールド時間（製品の仕様で決められる）を満足すれば、内部クロックとも同期することができる。

【0056】従来例と実施の形態でのCS、RAS、CAS、WE、CKEの波形の違いの理由について説明する。従来例では、前述のように、外部クロック信号CLKの立ち上がりリエッジタイミングでのみCS、RAS、…、CKE等のレベルに対して、同期をとっていたが、実施の形態では、外部クロックCLKの立ち上がりリエッジタイミングだけでなく、立ち下がりリエッジおよび他の任意の外部入力信号（実施の形態では、クロックイネーブル信号CKEで説明）の立ち上がりリエッジおよび立ち下がりリエッジにおいても、同期をとれるようになったためである。CS、RAS、…、WE等に対しても同様である。

【0057】つぎに、検査装置における検査の手順について説明する。従来は、外部クロックCLKの立ち上がりリエッジに同期するように、CS、RAS、CAS等のメモリ制御信号を検査装置から与えてメモリの書き込み、読み出し動作をさせていたが、この実施の形態では、外部クロック信号CLKの立ち上がりリエッジおよび立ち下がりリエッジならびに任意の他の入力信号の立ち上がりリエッジおよび立ち下がりリエッジのタイミングに同期するように、CS、RAS、CAS等の信号を入力しており、これによりメモリの書き込み、読み出し動作を実施している。

【0058】つぎに、メモリの内部アクセスクロックの周期が短いと検査速度が速くなる理由について説明する。メモリの検査は、メモリセルにデータを書いた後、読み出し動作を行い、書いたデータが正しく読み出されるかを判定している。このメモリでは1ビットのデータを書く／読むたには、内部クロックの任意のパルス発生回数が必要である。よって、その回数をnとするとき、1ビットのデータを書く／読むための時間は、(n × クロック周期)となり、クロック周期が短くなるほど検査時間が短くなる。

【0059】クロック合成入力回路113の出力CLK1が立ち上がり検出回路110および立ち下がり検出回路111に入力されているので、立ち上がり検出回路110の出力CLK2は、クロック合成入力回路113の出力信号CLK1の立ち上がり時にワンショットパルスを生成し、立ち下がり検出回路111の出力CLK3は、クロック合成入力回路113の出力信号CLK1の立ち下がり時にワンショットパルスを生成する。よって、内部クロック発生回路100のクロック合成出力回路112の出力CLKは、立ち上がり検出回路110の出力CLK2と立ち下がり検出回路111の出力CLK3のOR論理をとったものである。以降に示すように、1レート内に4クロックが発生することにな

[첨부그림 9]

る。

【0050】これにより、上記従来のタイミングと同様に、1ビットのデータをアクセスするのに必要な時間はt2は、外部クロック信号CLKのレートをr(ns)、1ビットデータをアクセスするためのサイクル数をtRCとする。

$t_2 = (t_{RC}/4) \times r = t_1/4 \quad (ns)$

となる。ただし、t1は、従来の1ビットデータアクセスに必要な時間である。

【0051】したがって、nビットのデータをアクセスするための時間t_bは、

$$t_b = n \times t_2 = n \times (t_{RC}/4) \times r = t_1/4 \quad (ns)$$

となる。ただし、t1は、従来のnビットデータアクセスに必要な時間である。よって、検査時間を従来例の4分の1に短縮することができる。以下同様に、クロックイネーブル信号CKE以外の外部入力信号を同様な手段で組合せることにより、1レート内に発生させるクロック数を増やすことも可能であり、さらに検査時間を短縮することもできる。

【0052】クロックイネーブル信号CKE以外の外部入力信号として以下のようないふしが考えられる。例えばCS端子は、チップセレクト信号の端子であり、

“L”レベル時：チップイネーブル（動作可）、
“H”レベル時にチップディセーブル（動作不可）の機能を実現する端子である。検査時は、常にチップイネーブル状態でよいので、テストモード時は、何らかの方法でテストが発生する外部CS入力信号のレベルに関係なく、“L”レベルに固定し、このとき外部CS入力信号を内部クロック用に切り替えることで、内部クロックを発生することができる。

【0053】なお、上記実施の形態では、外部クロック信号CLKとクロックイネーブル信号CKEとを合成し、さらに、それらのパルスの立ち上がりと立ち下がりのタイミングで各々ワンショットパルスを発生することで、従来例の4倍の内部クロックを生成するようにしており、その立ち上がりと立ち下がりのタイミングで各々ワンショットパルスを発生することで、従来例の2倍の内部クロックを生成するだけでも、従来例にくらべて検査時間を2分の1に短縮することができる。また、立ち上がりおよび立ち下がりの両方を利用せずに、それらの何れか片方のみを利用するだけであっても、外部クロック信号CLKとそれ以外の外部入力信号の一つであるクロックイネーブル信号CKEとを合成することで、従来例に比べて高速の内部クロックを生成することができ、検査時間を短縮することができる。さらに、外部クロック信号CLK以外の外部入力信号を用いる場合であっても、立ち上がりと立ち下がりの両方でワンショットパルスを発生させた

り、複数の外部入力信号を合成することによって、外部クロック信号CLKより高速の内部クロックを生成することが可能で、この高速の内部クロックを用いて検査を行うことで、検査時間を従来に比べて短縮することができる。

【0054】

【発明の効果】この発明の半導体記憶装置によれば、内部クロック発生手段によって、外部クロック信号より高速の内部クロックを生成しているので、低速な検査装置においても、従来よりも検査時間の大半を短縮を図ることが可能となる。

【図1】本発明の実施の形態における同期型DRAMの構成を示すブロック図である。

【図2】図1の内部クロック発生回路の具体的な構成を示すブロック図である。

【図3】図1のCKEコントロール回路の具体的な構成を示すブロック図である。

【図4】従来の同期型DRAMの構成を示すブロック図である。

【図5】図4のCKEコントロール回路の具体的な構成を示すブロック図である。

【図6】図1の半導体記憶装置のタイミングチャートである。

【図7】図4の半導体記憶装置のタイミングチャートである。

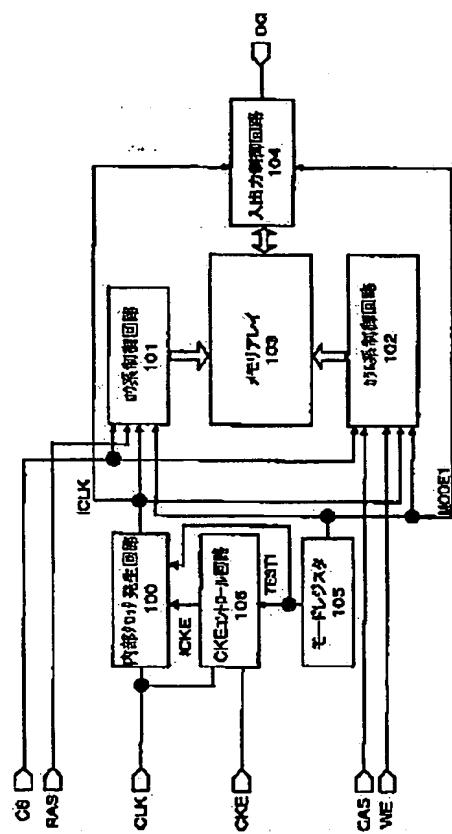
【符号の説明】

- 1 ロウ系制御回路
- 2 カラム系制御回路
- 3 メモリアレイ
- 4 入出力制御回路
- 5 CKEコントロール回路
- 6 モードレジスタ
- 7 2入力AND回路
- 30 ロフリップ・フロップ
- 100 内部クロック発生回路
- 101 ロウ系制御回路
- 102 カラム系制御回路
- 103 メモリアレイ
- 104 入出力制御回路
- 105 モードレジスタ
- 106 CKEコントロール回路
- 110 立ち上がり検出回路
- 111 立ち下がり検出回路
- 112 クロック合成出力回路
- 113 クロック合成入力回路
- 114 3ステートバッファ
- 115 3ステートインバータ
- 116 遅延回路
- 117 遅延回路

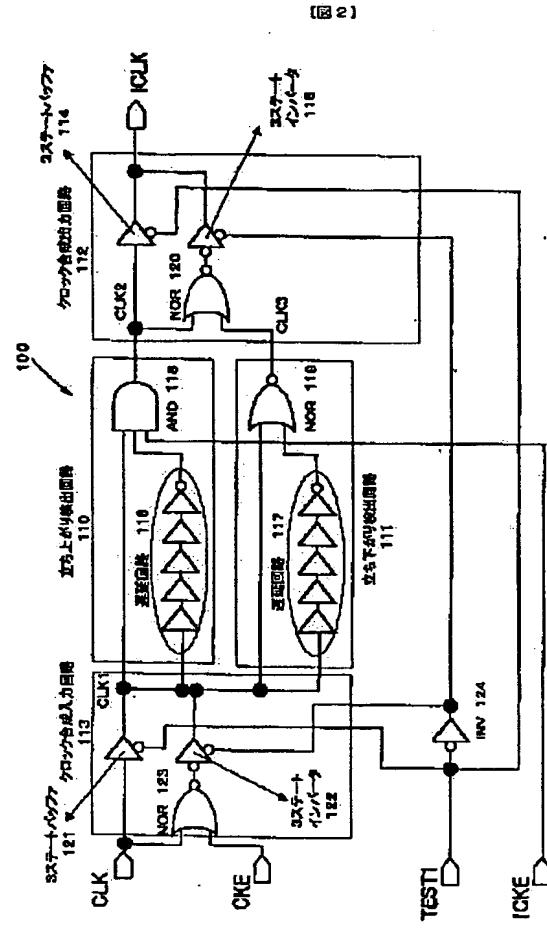
[첨부그림 10]

118	3入力AND回路	124	インバータ
119	2入力NO R回路	130	Dフリップフロップ
120	2入力NO R回路	131	2入力OR回路
121	3ステートバッファ		
122	3ステートインバータ		
123	2入力NO R回路		

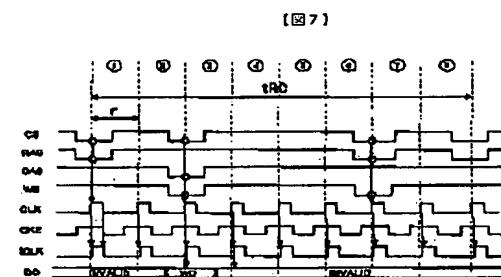
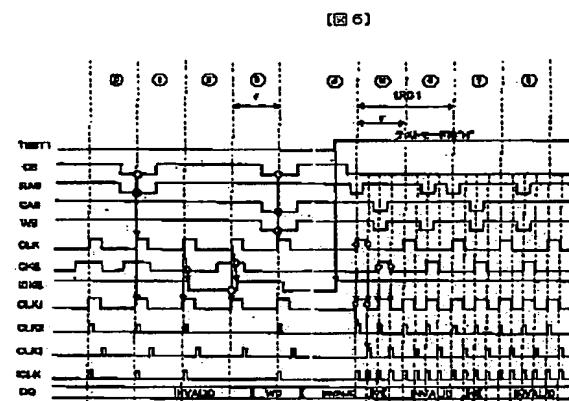
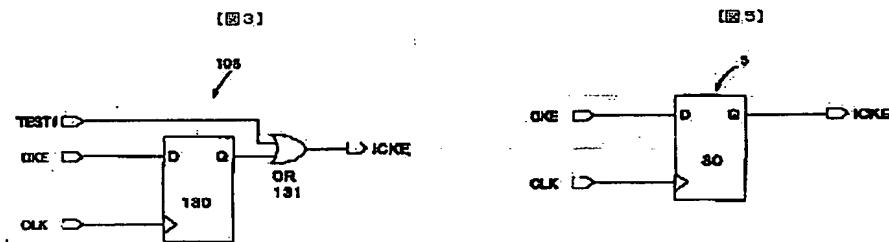
[図 1]



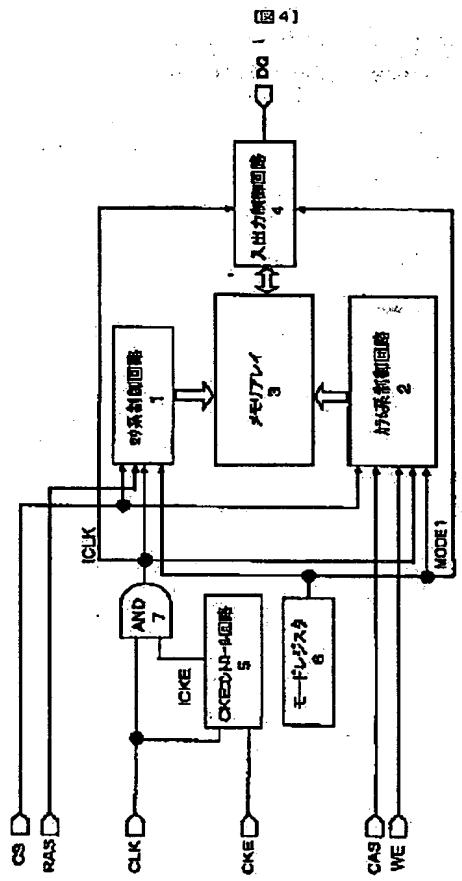
[첨부그림 11]



[첨부그림 12]



[첨부그림 13]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.